

BEST AVAILABLE COPY

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020040094 A
 (43)Date of publication of application: 30.05.2002

(21)Application number: 1020000070011
 (22)Date of filing: 23.11.2000

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
 (72)Inventor: SHIN, SU HO
 YANG, WON SEOK

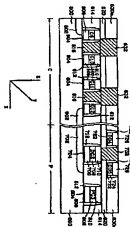
(51)Int. Cl. H01L 27/02

(54) SEMICONDUCTOR INTEGRATED CIRCUIT HAVING RESISTOR AND MANUFACTURING METHOD THEREOF

(57) Abstract:

PURPOSE: A semiconductor integrated circuit having a resistor and a manufacturing method thereof are provided to include a resistor on a peripheral region without increasing the size of the semiconductor integrated circuit by forming resistor on a dummy gate electrode or between a pair of dummy bit lines.

CONSTITUTION: A semiconductor integrated circuit comprises a semiconductor substrate having a cell array region(C) and a peripheral region(P), a dummy gate electrode structure(DG1) formed in the peripheral region(P), a hole locating on the dummy gate electrode structure(DG1), insulation layers (614,620,630a) covering the dummy gate electrode structure(DG1), and a resistor(732) made of a conductive material such as a polysilicon filling the hole. In addition, a first bit line structure(DB4) and a second bit line structure(DB5) are contacted on the both sidewalls of the resistor(732). At this point, the resistor on a peripheral region is formed without increasing the size of the circuit.



© KIPO 2002

Legal Status

Date of request for an examination (20001123)
 Final disposal of an application (registration)
 Date of final disposal of an application (20020625)
 Patent registration number (1003468410000)
 Date of registration (20020718)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁷

H01L 27/02

(11) 공개번호 특2002-0040094

(43) 공개일자 2002년05월30일

(21) 출원번호 10-2000-0070011

(22) 출원일자 2000년11월23일

(71) 출원인 삼성전자 주식회사 음종용

(72) 발명자 경기 수원시 팔달구 매탄3동 416

(72) 발명자 신수호

서울특별시도봉구쌍문동73경남아파트1동1010호

양원석

경기도용인시수지구동천리176-1종원아파트201동507호

이명필, 정상반, 이려호

(74) 대리인

심사청구 : 있음

(54) 저항 소자를 구비하는 반도체 집적 회로 및 그의 제조 방법

요약

다층 현상을 방지하기 위해 주변 회로 영역에 형성되는 더미 게이트 전극 구조체의 상부 및/또는 한쌍의 더미 비트 라인 구조체 사이의 영역에 저항 소자를 형성하고, 더미 게이트 전극 구조체의 개질막과 스페이서 및/또는 더미 비트라인 구조체의 개질막 및/또는 스페이서를 이용해서, 저항 소자의 측 및/또는 끝면을 공정 조건에 영향을 받지 않고 일정한 범위내의 값으로 형성할 수 있으므로, 반도체 집적 회로의 면적을 증가시키지 않으면서 안정된 저항값을 갖는 저항 소자 및 그의 형성 방법이 개시된다.

도면

도3

제1면

자기 정렬, 폴리실리콘, 저항

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 반도체 집적 회로에서 사용되는 저항 소자의 제 1 실시예를 보여주는 단면도이다.

도 2는 본 발명에 따른 반도체 집적 회로에서 사용되는 저항 소자의 제 2 실시예를 보여주는 단면도이다.

도 3은 본 발명에 따른 반도체 집적 회로에서 사용되는 저항 소자의 제 3 실시예를 보여주는 단면도이다.

도 4 내지 도 7은 본 발명의 제 1 실시예에 따른 반도체 집적 회로의 저항 소자의 형성 방법을 설명하기 위한 공정 단면도들이다.

도 8 및 도 9는 본 발명의 제 2 실시예에 따른 반도체 집적 회로의 저항 소자의 형성 방법을 설명하기 위한 공정 단면도들이다.

도 10 및 도 11은 본 발명의 제 3 실시예에 따른 반도체 집적 회로의 저항 소자의 형성 방법을 설명하기 위한 공정 단면도들이다.

본 발명의 상세한 설명

본 발명의 목적

본 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적 회로에 관한 것으로, 특히 저항 소자를 포함한 반도체 집적 회로 및 그의 형성 방법에 관한 것이다.

반도체 집적 회로는 다수의 단위 셀로 구성된 셀 어레이 영역과 셀 영역의 외부에 위치하며, 신호의 지연 등을 조절하여 단위 셀의 동작 및 그의 입/출력을 제어하는 반도체 회로 예를 들면, 드라이브, 버퍼 또는 증폭기 등으로 이루어지는 주변회로 영역을 포함한다. 셀 어레이 영역 및 주변회로 영역의 반도체 회로들

은 높음 소자의 트랜지스터와 수동 소자인 저항을 기본적으로 포함한다. 즉, 반도체 집적 회로를 제조하는 공정에는 다수의 트랜지스터와 다수의 저항 소자를 형성하는 공정을 수반하게 되고, 셀 어레이 영역에 반도체 소자를 형성할때 주변 회로 영역에서도 거의 동시에 동일한 종류의 반도체 소자를 형성한다.

종래의 반도체 집적 회로에는, 셀 어레이 영역의 게이트 전극 구조체를 형성하는 물질과 동일한 물질로 이루어지는 주변 회로 영역의 디미 게이트 전극 구조체를 이용하는 게이트-폴리 저항 소자, 셀 어레이 영역에 형성되는 자기 정렬 콘택 플러그와 동일한 물질로 형성되며 주변 회로 영역의 디미 게이트 전극 구조체를 사이에 형성되는 자기 정렬 콘택 플러그를 이용하는 자기 정렬 콘택 플러그 저항 소자, 셀 어레이 영역에 형성되는 디미 게이트 전극 구조체와 동일한 물질로 이루어지는 폴리메이트 전극 저항 소자가 사용되고 있다. 게이트 전극 구조체 및 디미 게이트 전극 구조체는 게이트 절연막, 게이트 전극 그리고 게이트 전극 상면에 형성되는 캐핑막 및 이들의 측면에 형성되는 스페이서를 포함한다.

주변 회로 영역에서 사용되는 저항 소자의 값은 수 Ω 또는 수백 Ω 이 필요하다. 따라서, 폴리메이트 구조체의 게이트-폴리 저항 소자를 사용할 경우에는 낮은 면저항때문에 게이트-폴리 저항 소자의 길이를 길게 해야하므로, 반도체 집적 회로의 면적을 증가시켜야 하는 문제가 있다.

또한, 자기 정렬 콘택 플러그 저항 소자는 셀 어레이 영역의 자기 정렬 콘택 플러그 즉, 비트 라인 콘택 플러그와 형상적으로 형성된다. 이후 셀 어레이 영역 및 주변 회로 영역에 비트 라인이 형성되는데, 비트 라인에는 n^+ 또는 p^+ 의 불순물을 이온주입된다. 불순물 이온의 도핑 및 이온 주입 공정에 수반되는 후속 열처리에 의해 자기 정렬 콘택 플러그를 구성하는 물질의 비저항의 변화가 되어, 자기정렬 콘택 플러그 저항 소자의 값이 공정 조건에 따라 변하게 된다. 또한, 자기 정렬 콘택 플러그를 형성하기 위한 게이트 및 화학적 연마 공정 조건에 의해, 셀 어레이 영역의 자기 정렬 콘택 플러그를 포함하여 주변 회로 영역의 자기 정렬 콘택 플러그 저항 소자의 높이가 변화가 되어, 자기 정렬 콘택 플러그 저항 소자의 값이 변동된다.

이러한 저항 소자의 값 변동은 저항 소자를 포함하는 반도체 소자의 동작 특성을 불안정하게 만드는 결과를 초래한다.

한편, 폴리메이트 전극 저항 소자를 사용할 경우에는 폴리실리콘에 비해 낮은 저항값을 갖고므로 전자의 주요 통로가 되고 있는 티타늄 니티라이드의 두께가 공정 조건에 따라 변동되게 되고, 폴리메이트 전극의 폭이 시전 식각의 도량 및 형상 조건에 따라 변동되게 된다. 또한, 티타늄 니티드 디미드막과 폴리실리콘막이 셀 어레이 영역에서는 전면에 걸쳐 패터닝되는 반면 주변 회로 영역에서는 저항 소자가 형성될 영역에만 패터닝되므로, 로딩 효과에 의해, 원하는 사이저를 갖는 저항 소자를 얻기 곤란하다.

그리고, 폴리메이트 전극으로 도전성 물질의 하나인 금속을 사용하는 경우에는 낮은 면저항으로 인해 폴리메이트 전극 저항 소자의 길이를 증가시켜야 하는 문제가 있다.

본 발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 집적도를 감소시키지 않으면서 반도체 집적 회로의 제조 공정에 따른 값의 변동이 억제되거나 감소되는 저항 소자 및 그의 형성 방법을 제공하는 것이다.

본 발명의 구성 및 작용

본 발명이 이루고자 하는 기술적 과제를 달성하기 위하여, 반도체 기판의 주변 회로 영역에 형성되는 디미 게이트 전극 구조체 상부에 도전성 물질 예를 들면 폴리실리콘으로 이루어진 저항 소자를 형성하거나 또는 n^+ 또는 p^+ 의 불순물을 이온주입하여 형성되는 디미 비트 라인 구조체와 디미 비트 라인 구조체 사이에 도전성 물질 예를 들면 폴리실리콘으로 이루어지는 저항 소자를 형성한다.

한편, 디미 게이트 전극 구조체는 폴리실리콘과 고융점 금속 살리사이드층으로 이루어진 게이트 전극과 게이트 전극 상면에 형성된 디미 게이트 캐핑막을 포함하며, 디미 비트 라인 구조체와 디미 비트 라인과 그 상부에 디미 비트 라인 캐핑막을 포함한다. 그리고, 디미 게이트 캐핑막과 디미 비트 라인 캐핑막이 디미 게이트 전극 구조체를 덮는 절연막과 디미 비트 라인 구조체를 덮는 절연막에 의해 식각 선택비가 높은 물질로 이루어지게 하여, 디미 게이트 전극 구조체 상부에 형성되는 저항 소자의 높이가 공정 조건에 따라 변화되는 문제를 제거하거나 또는 변동 폭을 감소시킨다.

나아가, 디미 비트 라인 구조체와 디미 비트 라인과 그 상부에 형성되는 디미 비트 라인 캐핑막의 측면에 형성된, 디미 비트 라인 구조체를 덮는 절연막에 대해 높은 식각 선택비를 갖는 물질로 이루어진 스페이서를 더 포함으로써, 서로 인접하는 디미 비트 라인 구조체 사이에 형성되는 저항 소자의 폭이 공정 조건에 따라 변화되는 문제를 제거하거나 또는 감소시킨다.

그런데, 셀 어레이 영역의 비트 라인과 동시에 형성되는 주변 회로 영역의 디미 비트 라인 구조체 형성 이후에, 디미 비트 라인 구조체 사이에 형성되는 저항 소자가 형성되므로, 전술한 저항 소자는 비트 라인과 불순물 이온을 도핑하고 절제하는 공정에 따른 열적 부상을 받지 않게 된다. 따라서, 디미 비트 라인 구조체 사이에 형성되는 저항 소자의 비저항의 변동 폭이 상당히 감소하게 된다.

이하 본 발명을 첨부된 도면을 참조로 상세히 설명한다.

도 1은 본 발명의 실시예에 따라 제조된 저항 소자를 구비한 반도체 집적 회로를 보여주는 단면도이다.

반도체 기판(100)은 셀 어레이 영역(C)과 주변 회로 영역(P)으로 구분되어 있다. 셀 어레이 영역(C)에서, 소자 분리막(102)에 의해 한정된 활성 영역 상의 반도체 기판에는 다수의 게이트 전극 구조체들(61, 62, 63, 64)이 형성되어 있다. 게이트 전극 구조체들(61, 62, 63, 64)은 게이트 절연막(104), 폴리실리콘층(105), 고융점 금속 살리사이드층(108), 게이트 전극 캐핑막(110) 및 게이트 전극 스페이서(112)를 포함한다. 제 1 게이트 전극 구조체(61)와 제 2 게이트 전극 구조체(62) 사이 그리고 제 3 게이트 전극 구조체(63)와 제 4 게이트 전극 구조체(64) 사이에는, 게이트 전극 구조체 상부에 형성된

각하어 스토리지 전극 연결 패드(116)를 노출시키는 개구부를 형성한다. 그리고 개구부를 포함한 절연물 집막(130) 상면에 도전층인 폴리실리콘층(134)을 형성한다.

도 7에서, 주변 회로 영역(P)상에 형성되어 있던 마스크(132)를 제거한 뒤, 셀 여러미 영역(C)만을 덮는 마스크(136)를 형성한다. 그리고, 디비 게이트 전극 구조체(081)의 캐핑막(210) 상면을 노출시키는 개구부를 형성한다. 개구부를 포함하는 절연물집막(130) 상면에는 폴리실리콘층(138)을 형성한다.

다음, 마스크(136)를 제거한 뒤, 절연 물집막(130)에 대해 기계 및 화학적 연마를 실시한다. 연마 공정은 주변 회로 영역(P)의 디비 비트 라인 구조체(081)의 캐핑막(226)의 상면까지 진행되며, 연마 공정 이후의 도모습은 도 10에 도시되어 있다.

전술한 설명에 의하면, 디셀 형상을 방지하기 위해 반도체 집적 회로에 통상 사용되는 디비 게이트 전극 구조체 상부에 폴리 저항 소자(138a)를 형성하므로, 저항 소자 형성을 위한 반도체 집적 회로의 면적 증가가 발생하지 않는다. 그리고, 절연물집막(130)에 대해 식각 선택비가 높은 물질로 디비 비트 라인 구조체(081)의 캐핑막(226)을 형성함으로써, 연마 공정의 구체적인 조건에 관계 없이 폴리 실리콘 저항 소자의 상면면을 결정할 수 있다. 따라서, 공정 조건에 따른 폴리 실리콘 저항 소자(138a)의 저항 값의 변동 범위를 감소시킬 수 있다.

도 8 및 도 9를 참고하여, 본 발명의 제 2 실시예에 따른 저항 소자를 구비하는 반도체 집적 회로를 형성하는 방법을 설명한다.

셀 여러미 영역(C)과 주변 회로 영역(P)을 포함하여, 소자분리막(402, 502)을 포함하는 반도체 기판(400)을 준비한다. 반도체 기판(400) 상의 셀 여러미 영역(C)쪽에는 게이트 전극 구조체들(05, 06, 07, 08)을 형성한다. 반도체 기판(400) 상의 셀 여러미 영역(C)에는 폴리 게이트 전극 구조체(P82)를 형성한다. 주변 회로 영역(P)의 디비 게이트 전극 구조체가 나타나지 않은 부분을 선택하여 도 8에 도시된 것이다.

게이트 전극 구조체(05, 06, 07, 08) 및 폴리 게이트 전극 구조체(P82)의 구성은 도 4에 설명한 게이트 전극 구조체(081, 082, 083, 084) 및 폴리 게이트 전극 구조체(P81)의 것과 동일하다. 제 1 층간 절연막(414), 스토리지 전극 연결 패드(416), 비트 라인 연결 패드(도시되지 않음), 제 2 층간 절연막(420), 비트 라인 구조체(도시되지 않음) 및 절연물집막(430)의 형성 방법은 도 4의 설명이 적용된다.

다만, 도 4에서는 디비 비트 라인 구조체를 하나만 형성하였으나, 도 8에서는 한쌍의 디비 비트 라인 구조체를 형성하였다.

절연물집막(430)을 형성한 뒤, 셀 여러미 영역(C)에서는 절연물집막(430)과 제 2 층간 절연막(420)에 스토리지 전극 연결 패드를 노출시키는 개구부를 형성하며, 주변 회로 영역(P)에서는 한쌍의 디비 비트 라인 구조체(502)와 캐핑막(526)을 이용하여 자기 정렬 방식으로 식각한다. 다음, 결과를 전면에 도전성 물질층을 메를 붙인 폴리실리콘층(도시되지 않음)을 형성한 뒤, 기계 및 화학적 연마를 진행하여 폴리 저항 소자(532)를 형성한다. 한편, 폴리 저항 소자(532)의 비드면(534)의 위치는 원하는 저항값에 따라 결정할 수 있다. 그리고 캐핑막(526)이 절연물집막(430) 또는 제 3 층간 절연막(430a)에 대해 높은 식각 선택비를 가지는 물질로 이루어져 있으므로, 기계 및 화학적 연마 공정은 디비 비트 라인 구조체(082, 083)의 캐핑막(526)의 상면에서 정지된다.

디셀 형상을 방지하기 위해 반도체 집적 회로에 통상 형성되는 디비 비트 라인 구조체 사이에 폴리 저항 소자(138a)를 형성하므로, 저항 소자 형성을 위한 반도체 집적 회로의 면적 증가가 발생하지 않는다. 그 결과, 절연물집막(430)에 대해 식각 선택비가 높은 물질로 디비 비트 라인 구조체(082, 083)의 캐핑막(526)을 형성함으로써, 연마 공정의 구체적인 조건에 관계 없이 폴리 저항 소자(532)의 상면면을 결정할 수 있다. 또한 소피머(532)에 대한 식각 선택비가 높은 물질로 캐핑막(526)을 형성함으로써, 연마 공정에 따른 폴리 저항 소자(532)의 저항 값의 변동 범위를 감소시킬 수 있다.

도 10 및 도 11을 참고하여, 본 발명의 제 3 실시예에 따른 저항 소자를 구비하는 반도체 집적 회로를 형성하는 방법을 설명한다.

도 10에서, 반도체 기판(600) 상의 셀 여러미 영역(C)쪽에는 게이트 전극 구조체들(09, 010, 011, 012)을, 주변 회로 영역(P)쪽에는 디비 게이트 전극 구조체(092)와 폴리 게이트 전극 구조체(P93)를 형성하는 과정, 이들을 제 1 층간 절연막(614)으로 덮는 과정, 제 1 층간 절연막(614) 내의 스토리지 전극 연결 패드(616) 및/또는 비트 라인 연결 패드(도시되지 않음)를 형성하는 과정들은 도 4에 대한 설명이 적용된다.

제 1 층간 절연막(614) 상에 제 2 층간 절연막(620)을 형성하는 과정, 제 2 층간 절연막(620) 내에 비트 라인 연결 패드(도시되지 않음)를 형성하는 과정, 제 2 층간 절연막(620) 상에 비트 라인 구조체(084, 085)를 형성하는 과정 및 디비 비트 라인 구조체(084, 085)를 덮는 절연물집막(630)을 형성하는 과정은 도 8에 대한 설명이 적용된다.

절연물집막(630)을 형성한 뒤, 셀 여러미 영역(C)에서는 절연물집막(630)과 제 2 층간 절연막(620)에 스토리지 전극 연결 패드를 노출시키는 개구부를 형성하며, 주변 회로 영역(P)에서는 한쌍의 디비 비트 라인 구조체(084, 085) 사이의 절연물집막(630)과 제 2 층간 절연막(620)을 이용하여 자기 정렬 방식으로 식각한다. 한편, 디비 게이트 전극 구조체(082)의 캐핑막(710)이 제 2 층간 절연막(620)에 대한 식각 선택비가 큰 물질로 이루어져 있으므로, 자기 정렬 식각 공정은 디비 게이트 전극 구조체(082)의 캐핑막(710) 표면에서 정지하게 된다.

다음, 결과를 전면에 도전성 물질층을 메를 붙인 폴리실리콘층(도시되지 않음)을 형성한 뒤, 기계 및 화학적 연마를 진행하여 폴리 저항 소자(732)를 형성한다. 여기서 캐핑막(726)이 절연물집막(630) 또는 제 3 층간 절연막(630a)에 대해 높은 식각 선택비를 가지는 물질로 이루어져 있으므로, 기계 및 화학적 연마

공정은 더미 비트 라인 구조체(084, 085)의 캐핑막(726)의 상면에서 정지된다.

본 실시예에서는 다층 현상을 방지하기 위해 반도체 집적 회로에 통상 형성되는 더미 게이트 전극 구조체(082)상부의 더미 비트 라인 구조체(084, 085) 사이에 폴리 저항 소자(732)를 형성하므로, 저항 소자 형성을 위한 반도체 집적 회로의 면적 증가가 발생하지 않는다. 그리고, 폴리 저항 소자(732)의 폭은 자 한상의 스페이스(728)에 의해 결정되고 그의 높이는 더미 비트 라인 캐핑막(726)과 더미 게이트 전극 캐핑막(710)에 의해 결정되므로, 폴리 저항 소자(732)의 형성할 마스크 패턴의 마스크 알라인의 영향을 받지 않고 면대 공정의 구체적인 조건에 관계 없이, 안정적인 폴리 저항 소자(130a)의 저항 값을 얻을 수 있다.

발명의 효과

본 발명에서는 다층 현상을 방지하기 위해 주변 회로 영역에 형성되는 더미 게이트 전극 구조체의 상부막/또는 한방의 더미 비트 라인 구조체 사이의 영역에 저항 소자를 형성하므로, 반도체 집적 회로의 면적을 증가시키지 않으면서 주변 회로 영역에 저항 소자를 형성할 수 있다.

그리고, 더미 게이트 전극 구조체의 캐핑막과 스페이스 및/또는 더미 비트라인 구조체의 캐핑막 및/또는 스페이스를 이용해서 폴리 저항의 폭 및/또는 높이를 공정 조건에 영향을 받지 않고 일정한 범위내에서 형성할 수 있으므로, 이들 영역에 형성된 저항 소자의 저항값이 안정하게 된다.

(57) 청구의 범위

청구항 1. 셀 어레이 영역과 주변 회로 영역을 포함하는 반도체 기판,

상기 주변 회로 영역의 상기 반도체 기판에 형성된 더미 게이트 전극 구조체,

상기 더미 게이트 전극 구조체 상부에 위치하는 게구부를 구비하며 상기 더미 게이트 전극 구조체를 덮는 절연막, 및

도전성 물질로 이루어지고 상기 게구부를 점유하는 저항 소자를 구비하는 반도체 집적 회로

청구항 2. 제 1 항에 있어서, 상기 더미 게이트 전극 구조체는 상기 기판 상에 순차적으로 형성된 폴리 실리콘층과 고용점 금속 실리콘이도층으로 이루어진 게이트 전극 상면에 형성된 캐핑막을 포함하고, 상기 캐핑막은 상기 절연막에 대해 석각 선택비가 높은 물질로 이루어지는 반도체 집적 회로.

청구항 3. 제 1 항에 있어서, 상기 절연막 아래 형성되며 일측이 상기 저항 소자의 일측과 접촉하는 제 1 더미 비트 라인 구조체와 일측이 상기 저항 소자의 다른 일측과 접촉하는 제 2 더미 비트 라인 구조체를 더 포함하는 반도체 집적 회로.

청구항 4. 제 3 항에 있어서, 상기 제 1 더미 비트 라인 구조체와 상기 제 2 더미 비트 라인 구조체는 상기 절연막과 동일 수준에 위치하는 반도체 집적 회로.

청구항 5. 제 3 항에 있어서, 상기 제 1 더미 비트 라인 구조체 및 제 2 더미 비트 라인 구조체 각각은 배리어막 및 도전성 물질층으로 이루어지는 더미 비트 라인과 상기 더미 비트 라인 상면에 형성된 더미 비트 라인 캐핑막을 포함하고, 상기 더미 비트 라인 캐핑막은 상기 절연막에 대한 석각 선택비가 높은 물질로 이루어지는 반도체 집적 회로.

청구항 6. 제 5 항에 있어서, 상기 제 1 더미 비트 라인 구조체 및 제 2 더미 비트 라인 구조체는 상기 더미 비트 라인 캐핑막 및 상기 더미 비트 라인의 양측면에 형성되고 상기 절연막에 대해 석각 선택비가 높은 물질로 이루어지는 더미 비트 라인 스페이스를 더 포함하는 반도체 집적 회로.

청구항 7. 셀 어레이 영역과 주변 회로 영역을 포함하는 반도체 기판,

상기 반도체 기판 상에 형성되는 절연막,

상기 주변 회로 영역의 상기 절연막 상에 형성되는 적어도 2개 이상의 더미 비트 라인 구조체들, 및

상기 인접하는 더미 비트 라인 구조체들에 의해 한정되고 도전성 물질로 이루어지는 저항 소자를 구비하는 반도체 집적 회로.

청구항 8. 제 7 항에 있어서, 상기 저항 소자는 상기 절연막의 내부까지 산장되어 있는 반도체 집적 회로.

청구항 9. 제 8 항에 있어서, 상기 저항 소자는 상기 반도체 기판 표면까지 산장되어 있는 반도체 집적 회로.

청구항 10. 제 7 항 또는 제 7 항에 있어서, 상기 도전성 물질은 폴리실리콘인 반도체 집적 회로.

청구항 11. 셀 어레이 영역과 주변 회로 영역을 포함하는 반도체 기판을 준비하는 단계,

상기 반도체 기판 상에 제 1 절연막을 형성하는 단계,

상기 제 1 절연막 상의 주변 회로 영역에 적어도 2개 이상의 더미 비트 라인 구조체들을 형성하는 단계, 상기 상술한 인접하는 더미 비트 라인 구조체들에 의해 한정되고 도전성 물질로 이루어지는 저항 소자를 형성하는 단계를 포함하는 반도체 집적 회로 형성 방법.

청구항 12. 제 11 항에 있어서, 상기 기판을 준비하는 단계와 상기 제 1 절연막을 형성하는 단계 사이에, 상기 저항 소자 하부의 상기 제 1 절연막 내에서 상기 제 1 절연막과 동일 수준에 위치하는 더미 게이트 전극 구조체를 형성하는 단계를 더 포함하는 반도체 집적 회로 형성 방법.

청구항 13. 제 11항에 있어서, 상기 더미 비트 라인 구조체 형성 단계와 상기 저항 소자형성 단계 사이에, 상기 더미 비트 라인 구조체들을 덮는 제 2 절연막을 형성하는 단계를 더 포함하고, 상기 저항 소자 형성 단계는 상기 제 2 절연막의 소정 부분을 식각하여 상기 저항 소자를 계구부를 형성하는 단계, 상기 계구부를 포함한 상기 반도체 기판에 도전성 물질층을 형성하는 단계 및 상기 도전성 물질층을 상기 더미 비트 라인 연결체들의 상면이 노출될때까지 식각하는 단계를 포함하는 반도체 집적 회로 형성 방법.

청구항 14. 제 12항에 있어서, 상기 더미 게이트 전극 구조체를 형성하는 단계에서, 상기 셀 어레이 영역에서는 상기 제 1 절연막과 동일 수준에 위치하는 게이트 전극 구조체를 동시에 형성하는 반도체 집적 회로 형성 방법.

청구항 15. 제 11항에 있어서, 상기 주변 회로 영역의 더미 비트 라인 구조체들을 형성하는 단계에서 상기 셀 어레이 영역에서는 비트 라인 구조체들 동시에 형성하며, 상기 저항 소자 형성 단계에서 상기 셀 어레이 영역에서는 인접하는 상기 비트 라인 구조체에 의해 한정되는 자기 정렬 콘택 플러그를 동시에 형성하는 반도체 집적 회로 형성 방법.

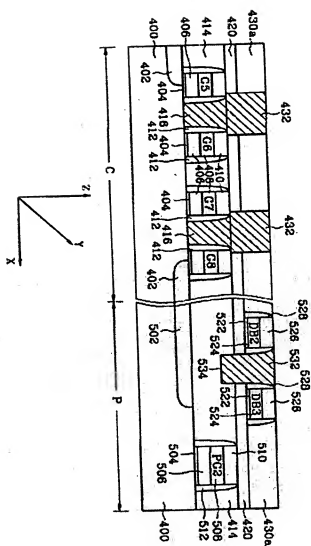
청구항 16. 제 11항에 있어서, 상기 저항 소자 형성 단계에서 상기 저항 소자가 상기 제 1 절연막의 내벽까지 성장하도록 상기 제 1 절연막을 식각하는 반도체 집적 회로 형성 방법.

청구항 17. 제 11항에 있어서, 상기 저항 소자 형성 단계에서 상기 저항 소자가 상기 제 1 절연막 하부의 상기 반도체 기판까지 성장하도록 상기 제 1 절연막을 식각하는 반도체 집적 회로 형성 방법.

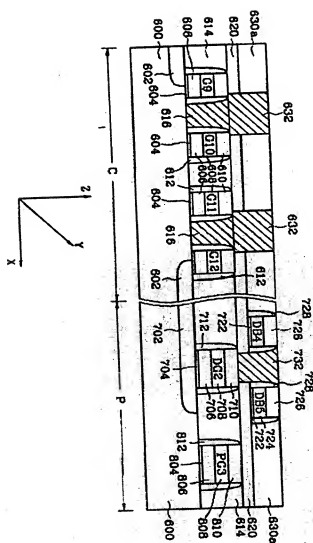
청구항 18. 제 11항에 있어서, 상기 도전성 물질층은 폴리실리콘층인 반도체 집적 회로 형성 방법.

도면

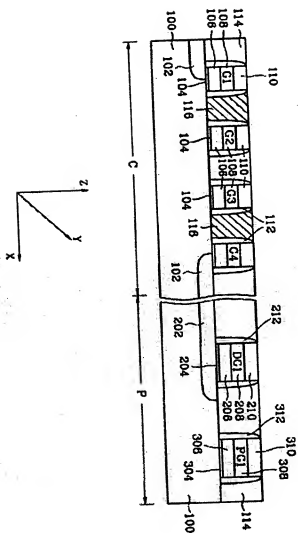
5B2



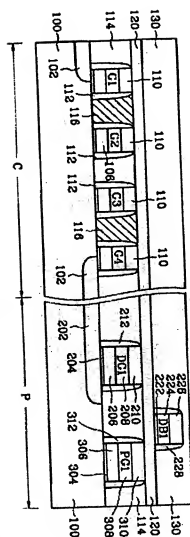
도 23



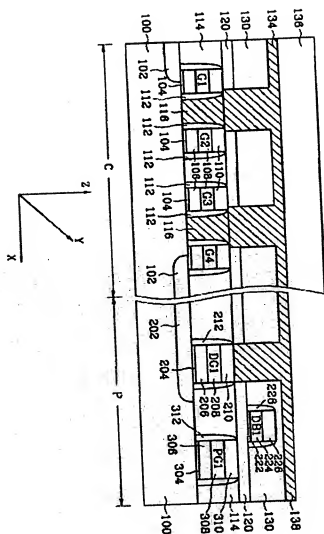
5B4



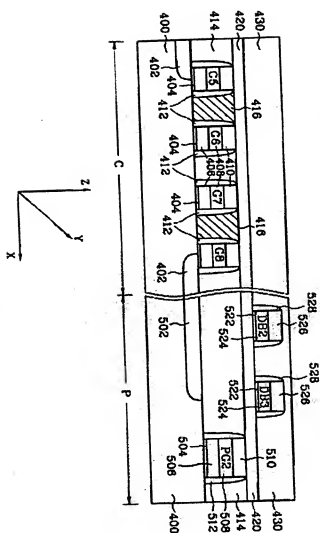
도 5



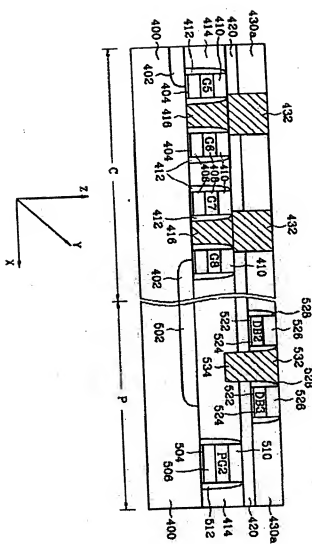
5.07



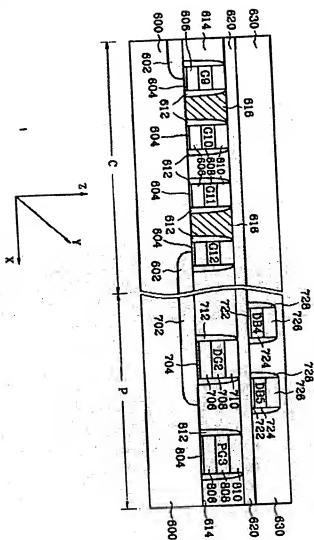
도 18



도 20



5B10



도 11

